



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Atty. Docket: 02-CT-161/DP  
Antonino LA MALFA et al. : Group Art Unit: 2827  
Serial No. 10/686,552 : Confirmation No. 3488  
Filed: October 15, 2003 :

For: *STRUCTURE FOR UPDATING A BLOCK OF MEMORY CELLS IN A FLASH  
MEMORY DEVICE WITH ERASE AND PROGRAM OPERATION REDUCTION*

**CLAIM FOR PRIORITY UNDER 35 USC §119**


MS Issue Fee  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SIR:

Under the provisions of 35 USC §119, there is filed herewith a certified copy of Italian Application No. MI2002A002192 filed on October 16, 2002, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date: 6/17/05

By:   
Jon A. Gibbons  
Reg. No. 37,333

Customer No. 23334  
Fleit, Kain, Gibbons, Gutman, Bongini & Bianco P.L.  
551 NW 77th Street, Suite 111  
Boca Raton, Florida 33487  
Telephone: (561) 989-9811  
Facsimile: (561) 989-9812



# Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **MI2002 A 002192**



Si dichiara che l'unita copia è conforme ai documenti originali depositati con la domanda di brevetto sopraspecificata, i cui dati risultano dall'accluso processo verbale di deposito.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

**20 NOV. 2003**

IL DIRIGENTE  
*Paola Giuliano*

**Dr.ssa Paola Giuliano**

16 OTT 2002

MODULO A

## AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO



## A. RICHIEDENTE (I)

1) Denominazione SIMicroelectronics S.r.l. SR  
 Residenza AGRATE BRIANZA (MI) codice 00951900968  
 2) Denominazione \_\_\_\_\_  
 Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome PEZZOLI ENNIO ED ALTRI cod. fiscale \_\_\_\_\_  
 denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.  
 via Settembrini n. 40 città MILANO cap 20124 (prov) MI

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

## D. TITOLO

classe proposta (sez/cl/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_/\_\_\_\_\_

"Struttura per modificare un blocco di celle di memoria in un dispositivo di memoria flash con riduzione delle operazioni di cancellazione e di programmazione"

## ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_/\_\_\_\_/\_\_\_\_

N° PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) LA MALFA Antonino 3) SCHILLACI Paolino  
 2) POLI Salvatore 4) \_\_\_\_\_

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

1) \_\_\_\_\_  
 2) \_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 28 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) .....  
 Doc. 2) 2 PROV n. tav. 103 disegno (obbligatorio se citato in descrizione, 1 esemplare) .....  
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale dich. sostitutiva .....  
 Doc. 4) 1 RIS designazione inventore .....  
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano .....  
 Doc. 6) 1 RIS autorizzazione o atto di cessione .....  
 Doc. 7) 1 nominativo completo del richiedente

8) attestati di versamento, totale Euro DUECENTONOVANTINO/80 obbligatorio

COMPILATO IL 16/10/2002

FIRMA DEL(I) RICHIEDENTE(I)

ENNIO PEZZOLI

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SI

SCIOGLIMENTO RISERVE  
 Data \_\_\_\_\_ N° Protocollo \_\_\_\_\_



SCIOGLIMENTO RISERVE  
 Data \_\_\_\_\_ N° Protocollo \_\_\_\_\_  
 confronta singole priorità

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO MILANO codice 15

VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2002A = 000000 002192 A.

L'anno DUEMILADUE del mese di OTTOBRE

il(i) richiedente(i) sopradenotato(i) ha(hanno) presentato a me sottoscritto la presente domanda, rogato di \_\_\_\_\_ fogli aggiuntivi per la concessione del brevetto soprariportato.

## I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

dell'Ufficio

L'UFFICIALE ROGANTE

M. CORTONESI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA

MI2002A 002192

REG. A

DATA DI DEPOSITO

15/10/2002

NUMERO BREVETTO

DATA DI RILASCIO

/ / /

## D. TITOLO

"Struttura per modificare un blocco di celle di memoria in un dispositivo di memoria flash con riduzione delle operazioni di cancellazione e di programmazione"

## L. RIASSUNTO

Una struttura (125,127,145,155,160) è proposta per modificare un blocco di celle di memoria (110) in un dispositivo di memoria flash (100), le celle di memoria memorizzando un valore corrente, in cui la struttura include mezzi (145) per ricevere un nuovo valore da scrivere nelle celle di memoria, mezzi di cancellazione (155) per cancellare simultaneamente il blocco di celle di memoria, e mezzi di programmazione (125,155) per programmare individualmente le celle di memoria; la struttura ulteriormente include mezzi di controllo (160) per abilitare i mezzi di cancellazione e per abilitare i mezzi di programmazione in funzione di un confronto tra il nuovo valore ed il valore corrente.

## M. DISEGNO

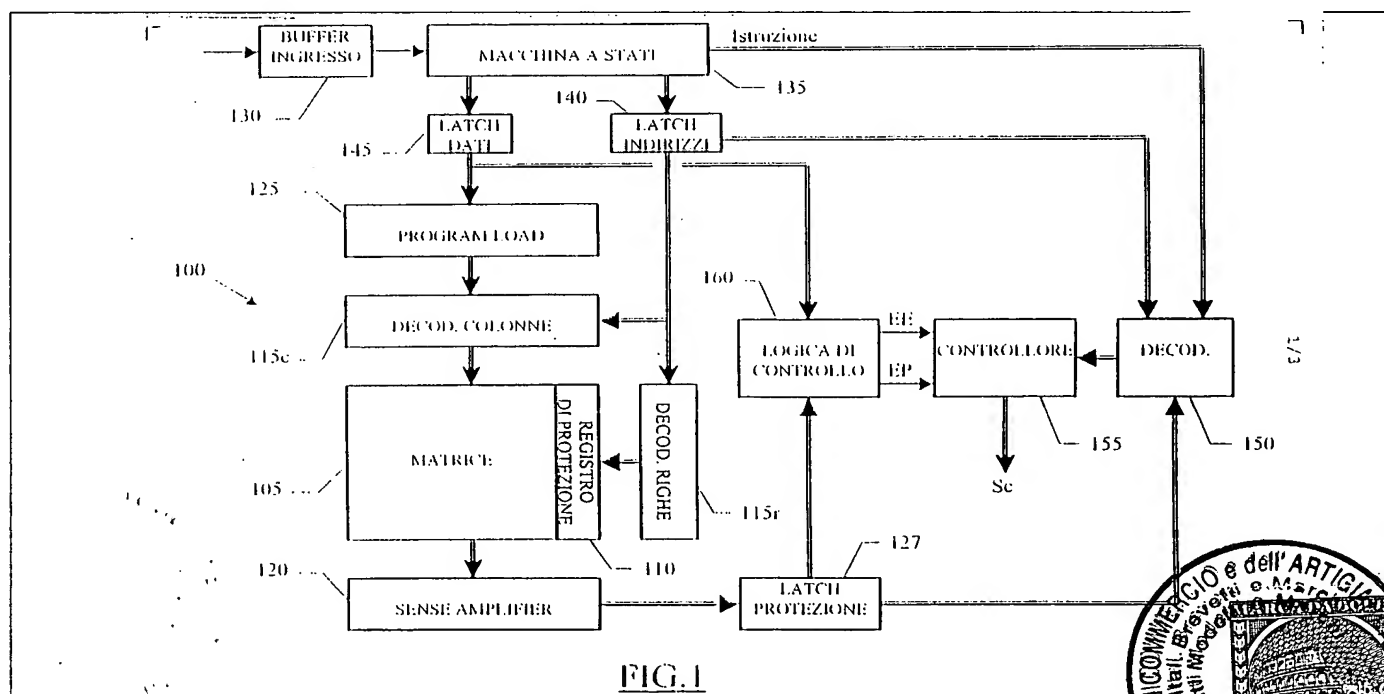


FIG. 1



MI 2002A 002192

DESCRIZIONE~~MI 2002A 002193~~

dell'invenzione industriale dal titolo:

"STRUTTURA PER MODIFICARE UN BLOCCO DI CELLE DI MEMORIA  
IN UN DISPOSITIVO DI MEMORIA FLASH CON RIDUZIONE DELLE  
5 OPERAZIONI DI CANCELLAZIONE E DI PROGRAMMAZIONE"

A nome: STMicroelectronics S.r.l.



\* \* \* \* \*

La presente invenzione riguarda una struttura ed un  
corrispondente metodo per modificare un blocco di celle  
10 di memoria in un dispositivo di memoria flash.

Un dispositivo di memoria flash è un tipo  
particolare di E<sup>2</sup>PROM (Electrically Erasable and  
Programmable Read-Only Memory), il quale è usato per  
memorizzare informazioni che devono essere preservate  
15 anche in assenza di alimentazione; la memoria flash è  
cancellata a blocchi invece che un bit alla volta. Ciò dà  
luogo ad una struttura molto semplice della memoria  
flash, la quale può essere fabbricata a basso costo e con  
elevata densità. Di conseguenza, la memoria flash si  
20 presta molto bene a varie applicazioni di consumo, come  
Personal Computer (PCs), telefoni cellulari, dispositivi  
automobilistici, macchine fotografiche digitali, e  
simili.

La memoria flash include una matrice di celle di

**Ing. Ennio PEZZOLI**  
**N. Iscriz 528**  
**(in proprio e per gli altri)**

memoria; tipicamente, la matrice è partizionata in vari settori, i quali possono essere cancellati individualmente. Una mini-matrice supplementare è spesso usata per memorizzare informazioni di configurazione in modo permanente. Ad esempio, la mini-matrice implementa un registro di protezione (non-volatile) per i settori della matrice.

La configurazione del registro di protezione identifica quali settori sono bloccati. Un'operazione di lettura può essere eseguita su ogni settore; tuttavia, un'operazione di cancellazione oppure un'operazione di programmazione è consentita solamente sui settori non bloccati. Questo meccanismo rende possibile proteggere la matrice da cancellazioni e/o programmazioni indesiderate delle celle di memoria, con ciò prevenendo qualsiasi perdita dei dati memorizzati nella memoria flash.

La configurazione del registro di protezione è modificata sovrascrivendo il suo contenuto con un nuovo valore. Questa operazione comporta la cancellazione dell'intero registro di protezione; le celle di memoria necessarie per raggiungere il nuovo valore sono quindi programmate.

Un inconveniente della soluzione descritta sopra è che ogni modifica del registro di protezione necessita

sia di un'operazione di cancellazione sia di un'operazione di programmazione. Di conseguenza, l'operazione di modifica è (relativamente) lenta. Durante questa operazione tutte le unità funzionali della memoria flash sono occupate, così che nessun'altra operazione può essere compiuta sulla matrice.

Inoltre, le celle di memoria del registro di protezione sono sottoposte ad uno stress elettrico durante ogni operazione di cancellazione e di programmazione; dopo cicli ripetuti di modifica, ciò può provocare la perdita dei dati memorizzati nel registro di protezione.

Scopo della presente invenzione è di ovviare ai suddetti inconvenienti. Per raggiungere tale scopo è proposta una struttura come indicato nella prima rivendicazione.

In breve, la presente invenzione prevede una struttura per modificare un blocco di celle di memoria in un dispositivo di memoria flash, le celle di memoria memorizzando un valore corrente, in cui la struttura include mezzi per ricevere un nuovo valore da scrivere nelle celle di memoria, mezzi di cancellazione per cancellare simultaneamente il blocco di celle di memoria, e mezzi di programmazione per programmare individualmente le celle di memoria; la struttura ulteriormente include

mezzi di controllo per abilitare i mezzi di cancellazione e per abilitare i mezzi di programmazione in funzione di un confronto tra il nuovo valore ed il valore corrente.

Inoltre, la presente invenzione prevede un  
5 dispositivo di memoria flash che comprende questa struttura. Un corrispondente metodo di modifica di un blocco di celle di memoria in un dispositivo di memoria flash è anche incluso.

Ulteriori caratteristiche ed i vantaggi della  
10 soluzione secondo la presente invenzione risulteranno dalla descrizione di seguito riportata di una sua forma di realizzazione preferita, data a titolo indicativo e non limitativo, con riferimento alle figure allegate, in cui:

15 Figura 1 è un diagramma a blocchi di principio di una memoria flash in cui la struttura dell'invenzione può essere usata;

Figure 2a e 2b mostrano diversi schemi circuitali che implementano la struttura proposta.

20 Con riferimento in particolare alla Figura 1, è illustrata una sezione di scrittura di un dispositivo di memoria 100 di tipo flash. La memoria flash 100 è integrata in una piastrina di materiale semiconduttore. Una matrice di celle di memoria 105 (ad esempio





un'architettura cosiddetta NOR) è usata per immagazzinare codice di programma o dati. La matrice 105 è segmentata in una pluralità di settori (ad esempio, 16 settori da 0 a 15), realizzati in rispettive sacche (well) isolate  
5 della piastrina.

Ciascuna cella di memoria consiste di un transistor MOS a gate flottante. La cella di memoria in una condizione non-programmata (o cancellata) presenta una tensione di soglia bassa (associata con un valore logico  
10 1). La cella di memoria è programmata iniettando carica elettrica nella sua gate flottante; in questa condizione, la cella di memoria presenta una tensione di soglia alta (associata con un valore logico 0). Al contrario, la cella di memoria è cancellata rimuovendo la carica  
15 elettrica accumulata nella sua gate flottante; tutte le celle di memoria di un settore devono essere cancellate allo stesso tempo.

Una mini-matrice 110 (in prossimità della matrice 105) è usata come un registro di protezione non-volatile  
20 per i settori della matrice 105. La configurazione del registro di protezione 110 identifica quali settori sono bloccati, così che un'operazione di programmazione o di cancellazione non possa essere eseguita. Ad esempio, il registro di protezione 110 consiste di 3 celle di memoria  
25 (ciascuna delle quali memorizza un bit); le  $2^3=8$

combinazioni dei bit memorizzati nelle celle di memoria definiscono le seguenti condizioni di protezione:

Registro di protezione			Settori bloccati
0	0	0	Nessuno
0	0	1	Settore 15
0	1	0	Settori 14-15
0	1	1	Settori 12-15
1	0	0	Settori 8-16
1	0	1	Tutti (Settori 0-15)
1	1	0	Tutti (Settori 0-15)
1	1	1	Tutti (Settori 0-15)

Le informazioni memorizzate nel registro di protezione 110 sono modificate cancellando e/o programmando le sue  
 5 celle di memoria; tutte le celle di memoria del registro di protezione 110 devono essere cancellate allo stesso tempo.

Un decodificatore di colonna 115c ed un decodificatore di riga 115r selezionano le celle di  
 10 memoria della matrice 105 o del registro di protezione 110. Un banco di amplificatori di rilevamento (sense amplifier) 120 è usato per leggere i valori memorizzati nelle celle di memoria selezionate; un banco di carichi di programmazione (program load) 125 è invece usato per  
 15 programmare le celle di memoria selezionate. I sense

**Ing. Ennio PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

amplifier 120 si interfacciano anche con un registro volatile (o latch) 127, il quale funziona come un buffer per le informazioni di protezione lette dal registro 110 (all'accensione della memoria flash 100).

5        La memoria flash 100 ha un'interfaccia seriale per un bus esterno conforme alla specifica SPI. In particolare, un buffer di ingresso 130 staticizza informazioni ricevute dal bus esterno. Le informazioni di ingresso sono quindi fornite ad una macchina a stati 135,  
10    la quale funziona sostanzialmente come un convertitore serie-parallelo. Le informazioni di ingresso consistono di istruzioni, indirizzi di celle di memoria, o dati da scrivere nelle celle di memoria selezionate.

Ogni indirizzo ricevuto dal bus esterno è  
15    memorizzato in un elemento di staticizzazione (latch) 140, ed è quindi usato per pilotare il decodificatore di colonna 115c ed il decodificatore di riga 115r. Analogamente, i dati sono memorizzati in un ulteriore latch 145. I dati memorizzati nel latch 145 sono usati  
20    per selezionare i program load 125 da attivare (per le celle di memoria che devono essere programmate).

Ogni istruzione è invece fornita ad un decodificatore 150, il quale riceve anche l'indirizzo memorizzato nel latch 140 e le informazioni di protezione  
25    memorizzate nel latch 127. Il decodificatore 150

**Ing. ENRICO PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

interpreta l'istruzione; inoltre, esso verifica se l'istruzione comporta un'operazione di cancellazione oppure un'operazione di programmazione su celle di memoria di un settore bloccato. Qualsiasi istruzione che  
5 tenta di cancellare o programmare un settore bloccato è abortita; altrimenti, il decodificatore 150 attiva di conseguenza un controllore 155. Il controllore 155 genera una sequenza di segnali di controllo (indicati nel complesso con Sc), i quali provocano l'esecuzione delle  
10 operazioni richieste dall'istruzione.

Una specifica istruzione è usata per modificare il contenuto del registro di protezione 110. Un nuovo valore da scrivere nel registro di protezione 110 (memorizzato nel latch 145) ed il suo valore corrente (memorizzato nel  
15 latch 127) sono forniti ad una logica di controllo 160. Come descritto in dettaglio nel seguito, la logica di controllo 160 produce in uscita un segnale di abilitazione alla cancellazione EE ed un segnale di abilitazione alla programmazione EP per il controllore  
20 155. Il segnale EE è asserito quando la modifica del registro di protezione 110 richiede un'operazione di cancellazione; il segnale EP è invece asserito quando la modifica del registro di protezione 110 richiede un'operazione di programmazione.

25 Nelle memorie flash note nell'arte, ogn



aggiornamento del registro di protezione 110 richiede la sovrascrittura del suo contenuto con il nuovo valore. Di conseguenza, l'intero registro di protezione 110 è dapprima cancellato; le celle di memoria necessarie per  
5 raggiungere il nuovo valore sono quindi programmate.

Tuttavia, questa procedura non è ottimale. Infatti, l'operazione di cancellazione e l'operazione di programmazione non sono sempre indispensabili per raggiungere il nuovo valore dal valore corrente. Le  
10 operazioni effettivamente necessarie per ogni combinazione nuovo valore/valore corrente (64 casi) sono mostrate nella seguente tabella:

Valore corrente			Nuovo valore			Cancellazione	Programmazione
0	0	0	0	0	0	No	No
0	0	0	0	0	1	Sì	Sì
0	0	0	0	1	0	Sì	Sì
0	0	0	0	1	1	Sì	Sì
0	0	0	1	0	0	Sì	Sì
0	0	0	1	0	1	Sì	Sì
0	0	0	1	1	0	Sì	Sì
0	0	0	1	1	1	Sì	No
0	0	1	0	0	0	No	Sì
0	0	1	0	0	1	No	No
0	0	1	0	1	0	Sì	Sì
0	0	1	0	1	1	Sì	Sì
0	0	1	1	0	0	Sì	Sì
0	0	1	1	0	1	Sì	Sì
0	0	1	1	1	0	Sì	Sì
0	0	1	1	1	1	Sì	No
0	1	0	0	0	0	No	Sì
0	1	0	0	0	1	Sì	Sì
0	1	0	0	1	0	No	No
0	1	0	0	1	1	Sì	Sì
0	1	0	1	0	0	Sì	Sì
0	1	0	1	0	1	Sì	Sì

0	1	0	1	1	0	Sì	Sì
0	1	0	1	1	1	Sì	No
0	1	1	0	0	0	No	Sì
0	1	1	0	0	1	No	Sì
0	1	1	0	1	0	No	Sì
0	1	1	0	1	1	No	No
0	1	1	1	0	0	Sì	Sì
0	1	1	1	0	1	Sì	Sì
0	1	1	1	1	0	Sì	Sì
0	1	1	1	1	1	Sì	No
1	0	0	0	0	0	No	Sì
1	0	0	0	0	1	Sì	Sì
1	0	0	0	1	0	Sì	Sì
1	0	0	0	1	1	Sì	Sì
1	0	0	1	0	0	No	No
1	0	0	1	0	1	Sì	Sì
1	0	0	1	1	0	Sì	Sì
1	0	0	1	1	1	Sì	No
1	0	1	0	0	0	No	Sì
1	0	1	0	0	1	No	Sì
1	0	1	0	1	0	Sì	Sì
1	0	1	0	1	1	Sì	Sì
1	0	1	1	0	0	No	Sì
1	0	1	1	0	1	No	No
1	0	1	1	1	0	Sì	Sì
1	0	1	1	1	1	Sì	No
1	1	0	0	0	0	No	Sì
1	1	0	0	0	1	Sì	Sì
1	1	0	0	1	0	No	Sì
1	1	0	0	1	1	Sì	Sì
1	1	0	1	0	0	No	Sì
1	1	0	1	0	1	Sì	Sì
1	1	0	1	1	0	No	No
1	1	0	1	1	1	Sì	No
1	1	1	0	0	0	No	Sì
1	1	1	0	0	1	No	Sì
1	1	1	0	1	0	No	Sì
1	1	1	0	1	1	No	Sì
1	1	1	1	0	0	No	Sì
1	1	1	1	0	1	No	Sì
1	1	1	1	1	0	No	Sì
1	1	1	1	1	1	No	No

Come si può osservare, in 8 casi su 64 (circa il 12%) nessuna operazione deve essere eseguita (in quanto

il nuovo valore è già memorizzato nel registro di protezione 110). Solamente l'operazione di cancellazione è richiesta in 19 casi su 64 (circa il 30%), e solamente l'operazione di programmazione è richiesta in 7 casi su 5 64 (circa l'11%). Sia l'operazione di cancellazione sia l'operazione di programmazione sono entrambe richieste nei rimanenti 47 casi su 64 (circa il 47%).

Pertanto, assumendo che le coppie nuovo valore/valore corrente siano distribuite uniformemente 10 fra le 64 possibili combinazioni, risulta che (in media) un'operazione di cancellazione è eseguita anche quando non è necessario nel 23% dei casi (12% + 11%); analogamente, un'operazione di programmazione è eseguita anche quando non è necessario nel 42% dei casi (12% + 15 30%).

In chiaro contrasto con le soluzioni note nell'arte, la struttura descritta nel seguito confronta il nuovo valore da scrivere nel registro di protezione 110 con il suo valore corrente; il registro di protezione 110 è 20 quindi cancellato e/o programmato solamente quando è necessario (in funzione del risultato del confronto).

In ogni caso, i concetti della presente invenzione sono applicabili anche quando la memoria flash ha un'altra architettura, quando la matrice è partizionata 25 in modo diverso, oppure quando il registro di protezione

**Ing. Ennio PEZZOLI**

N. Iscriz. 528

(in proprio e per gli altri)

ha un'altra struttura; considerazioni analoghe si applicano se informazioni equivalenti sono memorizzate nel registro di protezione, se la memoria flash ha un'interfaccia diversa (anche di tipo parallelo), e  
5 simili.

In alternativa, la struttura proposta è usata per modificare altri registri non-volatili della memoria flash (ad esempio, che memorizzano informazioni di configurazione). Inoltre, la stessa struttura trova  
10 applicazione anche in una memoria flash cosiddetta a pagine, in cui piccoli blocchi di celle di memoria (ad esempio, che memorizzano 4-16 bit) possono essere cancellati individualmente; in questo caso, la soluzione proposta è usata per modificare ogni blocco di celle di  
15 memoria della matrice.

In una forma di realizzazione della presente invenzione, come mostrato in Figura 2a, la logica di controllo è implementata con un circuito combinatorio 200a.

20 In particolare, ciascun bit  $Pn_i$  (con  $i=0..2$ ) del nuovo valore da scrivere nel registro di protezione è fornito ad una porta logica NOT 205<sub>i</sub>, la quale produce in uscita un corrispondente bit negato  $\underline{Pn}_i$ . Una porta logica OR 210<sub>i</sub> è prevista per ciascun bit; la porta OR





riceve in ingresso il bit negato  $Pn_i$  ed un corrispondente bit  $Pc_i$  del valore corrente memorizzato nel registro di protezione. I terminali di uscita delle porte OR 210<sub>i</sub> sono connessi a rispettivi terminali di ingresso di una  
5 porta logica NAND 215, la quale genera il segnale di abilitazione alla cancellazione EE.

Inoltre, ciascun bit negato  $Pn_i$  e ciascun bit  $Pc_i$  sono messi in AND da una corrispondente porta logica 220<sub>i</sub>. I segnali forniti dalle porte AND 220<sub>i</sub> sono  
10 applicati a rispettivi terminali di ingresso di una porta logica NOR 225. Il segnale di uscita della porta NOR 225 è negato da una porta logica NOT 230, la quale genera il segnale di abilitazione alla programmazione EP.

Ogni qualvolta il contenuto del registro di  
15 protezione deve essere modificato, il suo valore corrente (memorizzato nel latch di protezione) è confrontato con il nuovo valore desiderato (memorizzato nel latch dati). Di conseguenza, il segnale di abilitazione alla cancellazione EE è asserito quando un'operazione di  
20 cancellazione è richiesta per raggiungere il nuovo valore dal valore corrente. In dettaglio, se una cella di memoria è programmata nel valore corrente ( $Pc_i=0$ ) e cancellata nel nuovo valore ( $Pn_i=1$ ), il segnale di uscita della corrispondente porta OR 210<sub>i</sub> è deasserito. Quando

questa condizione è soddisfatto per uno o più bit, il segnale di abilitazione alla cancellazione EE prodotto in uscita dalla porta NAND 215 è asserito. In risposta a ciò, il controllore cancella tutte le celle di memoria  
5 del registro di protezione allo stesso tempo; il registro di protezione è quindi letto per verificare il completamento dell'operazione di cancellazione, ed il contenuto del latch di protezione è aggiornato di conseguenza ( $PC_2=1$ ,  $PC_1=1$  e  $PC_0=1$ ). Al contrario, il  
10 segnale di abilitazione alla cancellazione EE rimane deasserito, e nessuna operazione è eseguita sul registro di protezione.

Il valore corrente aggiornato del registro di protezione (dopo l'eventuale operazione di cancellazione)  
15 è confrontato ancora con il nuovo valore desiderato. Di conseguenza, il segnale di abilitazione alla programmazione EP è asserito quando un'operazione di programmazione è richiesta per raggiungere il nuovo valore dal valore corrente (aggiornato). In dettaglio, se  
20 una cella di memoria è cancellata nel valore corrente ( $PC_i=1$ ) e programmata nel nuovo valore ( $PN_i=0$ ), il segnale di uscita della corrispondente porta AND 220<sub>i</sub> è asserito. Quando questa condizione è soddisfatta per uno o più bit, il segnale di uscita della porta NOR 225 è

deasserito; pertanto, il segnale di abilitazione alla programmazione EP prodotto in uscita dalla porta NOT 230 è asserito. In risposta a ciò, il controllore programma le celle del registro di protezione richieste per  
5 raggiungere il nuovo valore; il registro di protezione è quindi letto per verificare il completamento dell'operazione di programmazione, ed il contenuto del latch di protezione è aggiornato di conseguenza. Al contrario, il segnale di abilitazione alla programmazione  
10 EP rimane deasserito, e nessuna operazione è eseguita sul registro di protezione (in quanto esso memorizza già il nuovo valore desiderato).

Considerando ora la Figura 2b, una forma di realizzazione alternativa della presente invenzione è  
15 illustrata. In questo caso, la logica di controllo è implementata con un diverso circuito combinatorio 200b (gli elementi corrispondenti a quelli mostrati in Figura 2a sono indicati con lo stesso riferimento, e la loro spiegazione è omessa per semplicità di descrizione).

20 In particolare, il segnale di abilitazione alla cancellazione EE è generato dalle porte logiche 205<sub>i</sub>, 210<sub>i</sub>, 215 mentre descritto sopra. Le porte logiche 205<sub>i</sub>, 220<sub>i</sub>, 225 generano invece un segnale interno indicato con Ea (il segnale interno Ea è sottolineato per

specificare che esso è deasserito al valore logico 1 ed  
asserito al valore logico 0). Tutti i bit negati  $P_{n0}-P_{n2}$   
sono ulteriormente messi in OR da una porta logica 235.  
Una porta logica NAND 240 riceve in ingresso il segnale  
5 generato dalla porta OR 235 ed il segnale di abilitazione  
alla cancellazione EE (generato dalla porta NAND 215); la  
porta NAND 240 produce in uscita un ulteriore segnale  
interno indicato con Eb. Il segnale interno Ea (dalla  
porta NOR 225) ed il segnale interno Eb (dalla porta NAND  
10 240) sono forniti a rispettivi terminali di ingresso di  
una porta logica NAND 245; la porta NAND 245 genera il  
segnale di abilitazione alla programmazione EP.

Ogni qualvolta il contenuto del registro di  
protezione deve essere modificato, il suo valore corrente  
15 (memorizzato nel latch di protezione) è confrontato con  
il nuovo valore desiderato (memorizzato nel latch dati).  
Come descritto sopra, il segnale di abilitazione alla  
cancellazione EE è asserito quando un'operazione di  
cancellazione è richiesta per raggiungere il nuovo valore  
20 dal valore corrente. In risposta a ciò, il controllore  
cancella tutte le celle di memoria del registro di  
protezione allo stesso tempo; tuttavia, il contenuto del  
latch di protezione non è aggiornato. Al contrario, il  
segnale di abilitazione alla cancellazione EE



**Ing. Ennio PEZZOLI**  
 N. Iscriz. 528  
 (in proprio e per gli altri)

deasserito, e nessuna operazione è eseguita sul registro di protezione.

Il valore corrente (originale) del registro di protezione è confrontato ancora con il nuovo valore desiderato. Di conseguenza, il segnale di abilitazione alla programmazione EP è asserito quando un'operazione di programmazione è richiesta per raggiungere il nuovo valore dal valore corrente; allo stesso tempo, il segnale di abilitazione alla programmazione EP è asserito anche quando il registro di protezione è stato cancellato ma una o più celle di memoria devono essere programmate nel nuovo valore.

In dettaglio, se una cella di memoria è cancellata nel valore corrente ( $PC_i=1$ ) e programmata nel nuovo valore ( $Pn_i=0$ ), il segnale di uscita della corrispondente porta AND  $220_i$  è asserito. Quando questa condizione è soddisfatta per uno o più bit, il segnale interno Ea prodotto in uscita dalla porta NOR 225 è asserito (0). Altrimenti, il segnale interno Ea rimane deasserito (1).

Inoltre, se una o più delle celle di memoria sono programmate nel nuovo valore ( $Pn_i=0$ ), il segnale di uscita della porta OR 235 è asserito. Se allo stesso tempo il registro di protezione è stato cancellato ( $EE=1$ ), il segnale interno Eb prodotto in uscita dalla

porta NAND 240 è asserito (0). Altrimenti, il segnale interno Eb rimane deasserito (1). Se il segnale interno Ea oppure il segnale interno Eb sono asseriti, il segnale di abilitazione alla programmazione EP è asserito. In  
5 risposta a ciò, le celle del registro di protezione richieste per raggiungere il nuovo valore sono programmate, ed il latch di protezione è aggiornato di conseguenza. Al contrario, il segnale di abilitazione alla programmazione EP rimane deasserito, e nessuna  
10 operazione è eseguita sul registro di protezione.

In ogni caso, i concetti della presente invenzione sono applicabili anche quando la logica di controllo è implementata con un circuito combinatorio equivalente, quando le porte logiche sono interconnesse in altro modo,  
15 quando sono usate diverse porte logiche, e simili.

Più in generale, la presente invenzione propone una struttura per modificare un blocco di celle di memoria (che memorizzano un valore corrente) in un dispositivo di memoria flash. La struttura include mezzi per ricevere un  
20 nuovo valore da scrivere nelle celle di memoria. Mezzi di cancellazione sono previsti per cancellare simultaneamente il blocco di celle di memoria; mezzi di programmazione sono invece previsti per programmare individualmente le celle di memoria. La struttura

dell'invenzione ulteriormente include mezzi di controllo per abilitare i mezzi di cancellazione e per abilitare i mezzi di programmazione in funzione di un confronto tra il nuovo valore ed il valore corrente.

5        Nella soluzione proposta, il blocco di celle di memoria è cancellato e/o programmato solamente quando è necessario (secondo il risultato del confronto tra il valore attualmente memorizzato ed il nuovo valore da scrivere).

10       Pertanto, in molti casi la modifica delle celle di memoria richiede solamente un'operazione di cancellazione oppure un'operazione di programmazione. Ciò incrementa notevolmente la velocità dell'intera operazione di modifica.

15       La struttura dell'invenzione evita il coinvolgimento delle unità funzionali richieste per cancellare e/o programmare le celle di memoria quando non sono necessarie (con ciò lasciando il dispositivo di memoria flash disponibile per altre operazioni).

20       Inoltre, la soluzione escogitata limita lo stress elettrico subito dalle celle di memoria durante ciascuna operazione di modifica; in questo modo, il rischio di perdita dei dati è fortemente ridotto.

25       La forma di realizzazione preferita dell'invenzione sopra descritta offre ulteriori vantaggi.

**Ing. Ennio PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

In particolare, la struttura è implementata con un circuito combinatorio.

Questa soluzione è molto semplice, ma allo stesso tempo efficace.

5        Come ulteriore miglioramento, il valore corrente del registro di protezione è memorizzato in un corrispondente latch.

La caratteristica proposta evita la necessità di eseguire qualsiasi operazione di lettura sul registro di protezione per confrontare il suo valore corrente con il  
10       nuovo valore desiderato.

Tipicamente, il blocco di celle di memoria consiste di un registro di protezione (anche se diverse applicazioni non sono escluse).

15       Alternativamente, sono usati mezzi di controllo equivalenti (anche di tipo sequenziale), nessun latch è provvisto per le informazioni memorizzate nel registro di protezione, o la struttura proposta è usata per modificare altri blocchi di celle di memoria.

20       In una forma di realizzazione particolare dell'invenzione, la logica di controllo confronta il nuovo valore del registro di protezione con il suo valore corrente aggiornato (dopo un'eventuale operazione di cancellazione), al fine di determinare se un'ope-





di programmazione è richiesta.

Questa soluzione semplifica la realizzazione della logica di controllo (anche se la durata dell'operazione di modifica è leggermente aumentata).

5        In una diversa forma di realizzazione dell'invenzione, la logica di controllo confronta sempre il nuovo valore del registro di protezione con il suo valore corrente originale.

10       Questa soluzione è più veloce, in quanto nessuna lettura del valore corrente aggiornato del registro di protezione è richiesta (anche se la complessità della logica di controllo è leggermente aumentata).

15       In entrambi i casi, una scelta suggerita per la realizzazione della logica del controllo consiste di un insieme di porte logiche.

La struttura proposta è molto semplice e veloce.

Comunque, la soluzione secondo la presente invenzione si presta ad essere messa in pratica con un meccanismo diverso per confrontare il valore  
20       correntemente memorizzato nel registro di protezione con il nuovo valore da scrivere, oppure anche implementando la logica di controllo con un altro circuito.

Naturalmente alla soluzione sopra descritta un tecnico del ramo, allo scopo di soddisfare esigenze

contingenti e specifiche, potrà apportare numerose  
modifiche e varianti, tutte peraltro contenute  
nell'ambito di protezione dell'invenzione, quale definito  
dalle seguenti rivendicazioni.

5

\* \* \* \* \*

RIVENDICAZIONI

1. Una struttura (125,127,145,155,160) per  
modificare un blocco di celle di memoria (110) in un  
5 dispositivo di memoria flash (100), le celle di memoria  
memorizzando un valore corrente, in cui la struttura  
include mezzi (145) per ricevere un nuovo valore da  
scrivere nelle celle di memoria, mezzi di cancellazione  
(155) per cancellare simultaneamente il blocco di celle  
10 di memoria, e mezzi di programmazione (125,155) per  
programmare individualmente le celle di memoria,

caratterizzata dal fatto che  
la struttura ulteriormente include mezzi di controllo  
(160) per abilitare i mezzi di cancellazione e per  
15 abilitare i mezzi di programmazione in funzione di un  
confronto tra il nuovo valore ed il valore corrente.

2. La struttura (125,127,145,155,160) secondo la  
rivendicazione 1, in cui i mezzi di controllo (160)  
consistono di un circuito combinatorio (200a;200b), il  
20 circuito combinatorio ricevendo in ingresso il valore  
corrente ed il nuovo valore e producendo in uscita un  
segnale di abilitazione alla cancellazione (EE) per i  
mezzi di cancellazione (155) ed un segnale di  
abilitazione alla programmazione (EP) per i mezzi di

**Ing. Ennio PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

programmazione (125,155).

3. La struttura (125,127,145,155,160) secondo la rivendicazione 1 o 2, ulteriormente comprendente un buffer volatile (127) per memorizzare il valore corrente, i mezzi di controllo (160) ricevendo in ingresso il valore corrente memorizzato nel buffer volatile.

4. La struttura (125,127,145,155,160) secondo una qualsiasi delle rivendicazioni da 1 a 3, in cui il blocco di celle di memoria consiste di un registro non-volatile (110) per memorizzare informazioni di protezione per una matrice (105) di celle di memoria.

5. La struttura (125,127,145,155,160) secondo una qualsiasi delle rivendicazioni da 1 a 4, in cui i mezzi di controllo (160) includono mezzi di abilitazione alla cancellazione (205-215) che reagiscono al valore corrente ed al nuovo valore per abilitare i mezzi di cancellazione (155) quando un'operazione di cancellazione è richiesta per raggiungere il nuovo valore dal valore corrente, e mezzi di abilitazione alla programmazione (205,220-230) che reagiscono al nuovo valore e ad un valore corrente aggiornato che è memorizzato nelle celle di memoria (110) dopo l'eventuale operazione di cancellazione per abilitare i mezzi di programmazione (125,155) quando un'operazione di programmazione è richiesta.



raggiungere il nuovo valore dal valore corrente aggiornato.

6. La struttura (125,127,145,155,160) secondo la rivendicazione 5, in cui i mezzi di abilitazione alla cancellazione includono porte logiche (205-215) per asserire il segnale di abilitazione alla cancellazione (EE) quando almeno una cella di memoria è programmata nel valore corrente ed è cancellata nel nuovo valore, ed in cui i mezzi di abilitazione alla programmazione includono porte logiche (205,220-230) per asserire il segnale di abilitazione alla programmazione (EP) quando almeno una cella di memoria è cancellata nel valore corrente aggiornato ed è programmata nel nuovo valore.

7. La struttura (125,127,145,155,160) secondo una qualsiasi delle rivendicazioni da 1 a 4, in cui i mezzi di controllo (160) includono mezzi di abilitazione alla cancellazione (205-215) che reagiscono al valore corrente ed al nuovo valore per abilitare i mezzi di cancellazione (155) quando un'operazione di cancellazione è richiesta per raggiungere il nuovo valore dal valore corrente, e mezzi di abilitazione alla programmazione (205,220-225,235-245) che reagiscono ai mezzi di abilitazione alla cancellazione, al nuovo valore ed al valore corrente per abilitare i mezzi di programmazione (125,155) quando

un'operazione di programmazione è richiesta per raggiungere il nuovo valore dal valore corrente o quando i mezzi di cancellazione sono stati abilitati ed almeno una cella di memoria è programmata nel nuovo valore.

5           8. La struttura (125,127,145,155,160) secondo la rivendicazione 7, in cui i mezzi di abilitazione alla cancellazione includono porte logiche (205-215) per asserire il segnale di abilitazione alla cancellazione (EE) quando almeno una cella di memoria è programmata nel  
10 valore corrente ed è cancellata nel nuovo valore, ed in cui i mezzi di abilitazione alla programmazione (205,220-225,235-245) includono porte logiche per asserire il segnale di abilitazione alla programmazione (EP) quando almeno una cella di memoria è cancellata nel valore  
15 corrente ed è programmata nel nuovo valore oppure quando il segnale di abilitazione alla cancellazione è asserito ed almeno una cella di memoria è programmata nel nuovo valore.

          9. Un dispositivo di memoria flash (100)  
20 comprendente una pluralità di celle di memoria (105,110) e la struttura (125,127,145,155,160) secondo una qualsiasi delle rivendicazioni da 1 a 8 per modificare un blocco di celle di memoria (110).

10. Un metodo di modifica di un blocco di celle di

memoria in un dispositivo di memoria flash, le celle di memoria memorizzando un valore corrente, in cui il metodo include i passi di:

ricevere un nuovo valore da scrivere nelle celle di  
5 memoria,

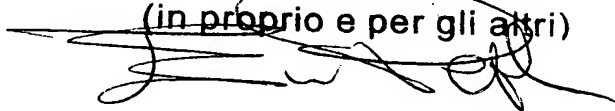
caratterizzato dal passo di

abilitare mezzi di cancellazione per cancellare  
simultaneamente il blocco di celle di memoria ed  
abilitare mezzi di programmazione per programmare  
10 individualmente le celle di memoria in funzione di un  
confronto tra il nuovo valore ed il valore corrente.

**Ing. Ennio PEZZOLI**

**N. Iscriz. 528**

(in proprio e per gli altri)



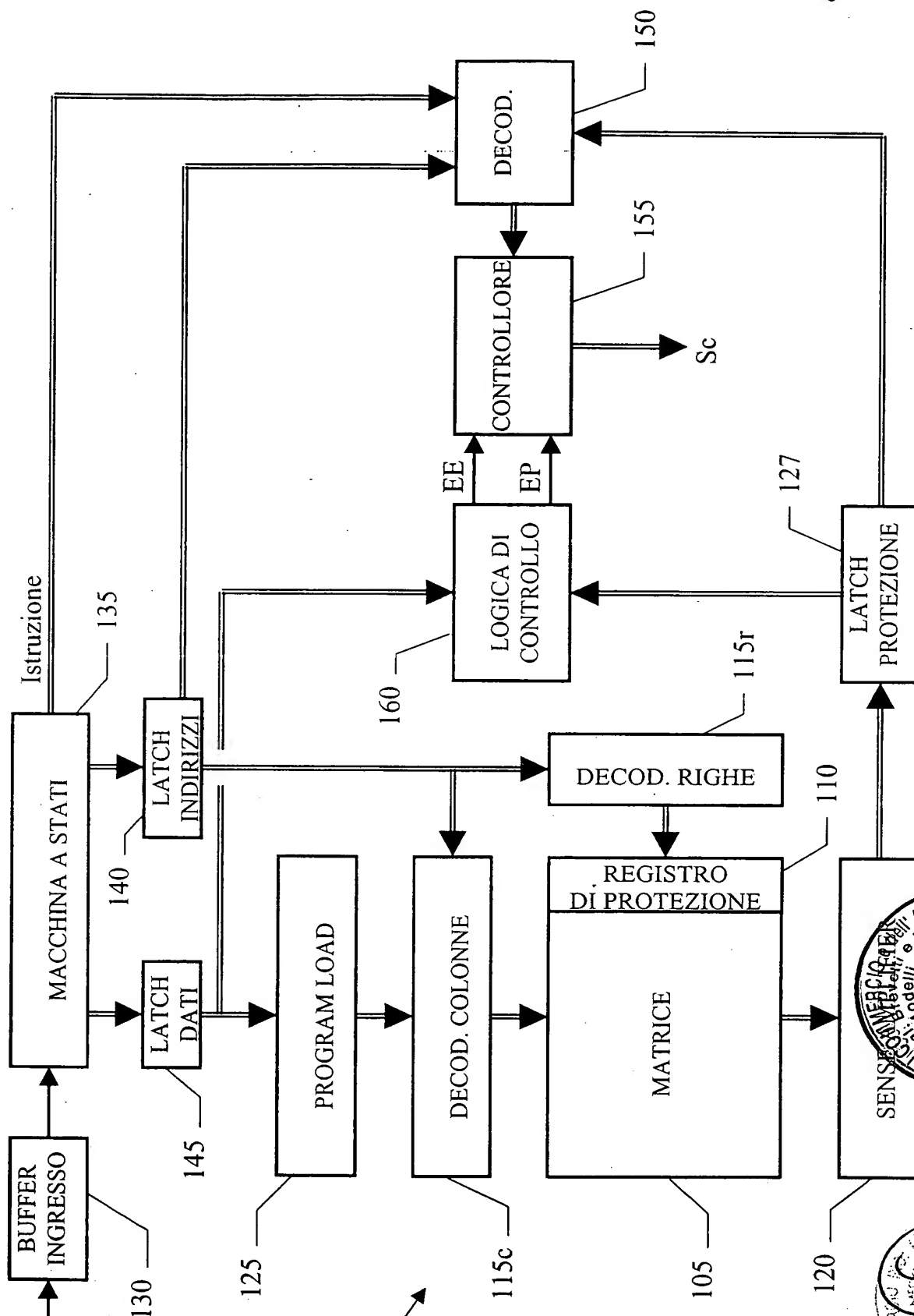


FIG.1





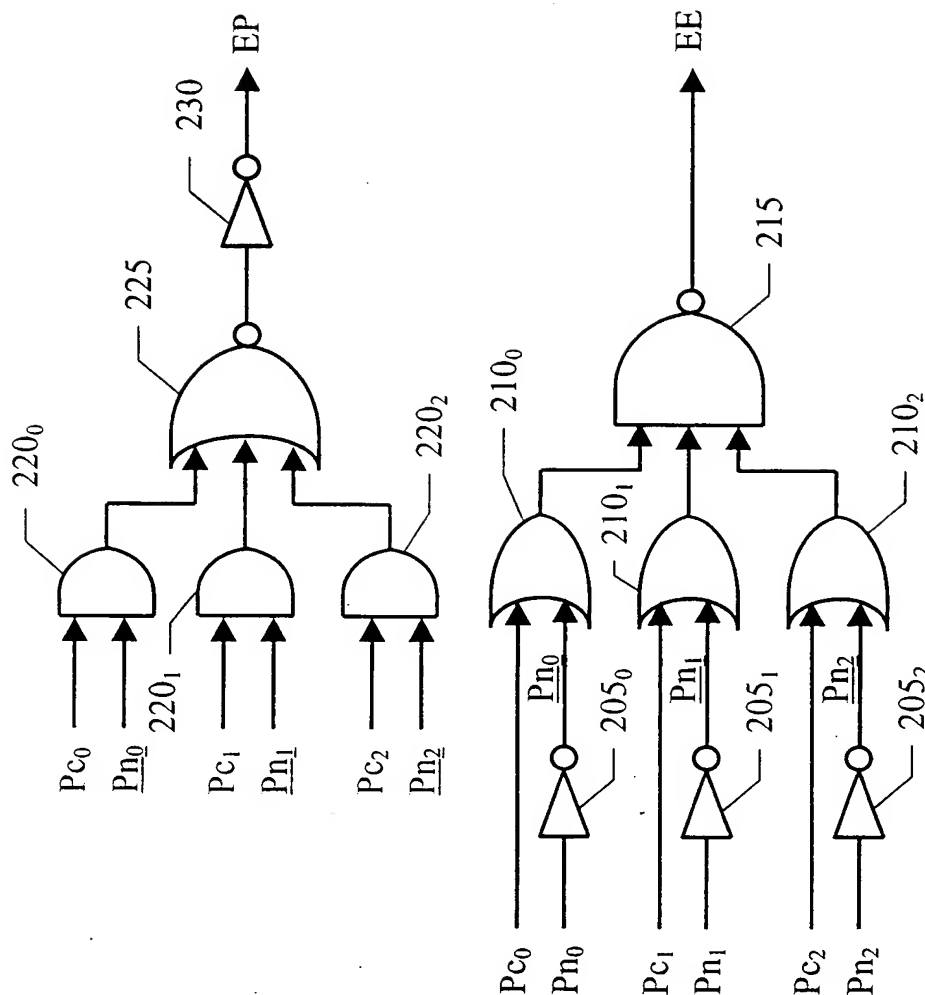


FIG. 2a

200a

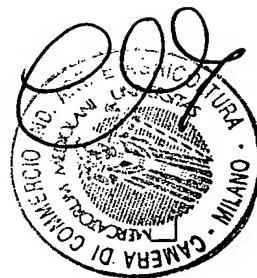
MI 2002A 002193

MI 2002A 002192

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)



MI 2002 A 0 0 2 1 9 3

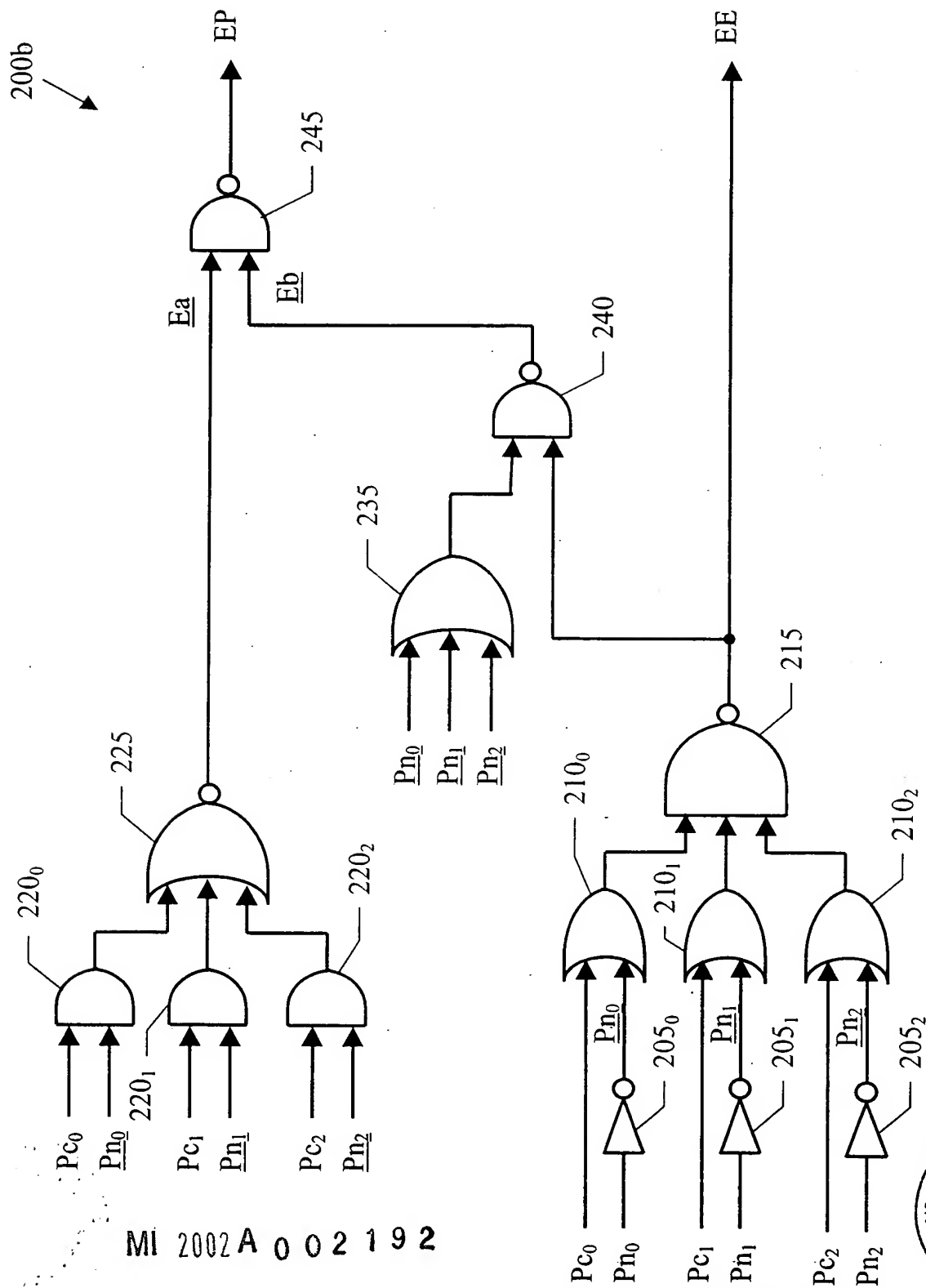


FIG.2b

MI 2002 A 0 0 2 1 9 2

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

